

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

PAT-NO: JP02002289533A

DOCUMENT-IDENTIFIER: JP 2002289533 A

TITLE: METHOD FOR POLISHING SURFACE OF SEMICONDUCTOR, METHOD  
FOR FABRICATING SEMICONDUCTOR DEVICE AND SEMICONDUCTOR  
DEVICE

PUBN-DATE: October 4, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
SAWANO, KENTARO	N/A
SHIRAKI, YASUHIRO	N/A
NAKAGAWA, KIYOKAZU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SAWANO KENTARO	N/A
SHIRAKI YASUHIRO	N/A
NAKAGAWA KIYOKAZU	N/A

APPL-NO: JP2001087850

APPL-DATE: March 26, 2001

INT-CL (IPC): H01L021/205, H01L021/304

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for polishing the surface of a semiconductor in which surface roughness can be reduced while suppressing through dislocation, a method for fabricating a semiconductor device and a semiconductor device.

SOLUTION: On the surface 11 of an Si substrate 10, an SiGe layer 20 having a lattice constant different from that of the Si substrate 10 is grown. The SiGe layer 20 is formed by graded composition buffer method until it has a sufficient thickness and then growth is relaxed. Subsequently, the surface of the SiGe layer 20 is polished by CMP where roughness on the surface 21 of the SiGe layer 20 can be decreased as low as several nm in RMS value. Since Si is grown on a planarized surface 21, a strained Si layer 30 having high planarity can be obtained. In the strained Si layer 30, through dislocation is suppressed and surface roughness is reduced.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-289533

(P2002-289533A)

(43)公開日 平成14年10月4日(2002.10.4)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームコード <sup>*</sup> (参考)
H 0 1 L 21/205		H 0 1 L 21/205	5 F 0 4 5
21/304	6 2 1	21/304	6 2 1 D

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21)出願番号 特願2001-87850(P2001-87850)

(22)出願日 平成13年3月26日(2001.3.26)

(71)出願人 501121808

澤野 憲太郎

東京都文京区本郷7-3-1 東京大学大学院 工学系研究科 物理工学専攻 白木 増寛研究室内

(71)出願人 501122861

白木 増寛

東京都文京区本郷7-3-1 東京大学大学院工学系研究科付属 量子相エレクトロニクス研究センター 白木増寛研究室内

(74)代理人 100091904

弁理士 成瀬 重雄 (外1名)

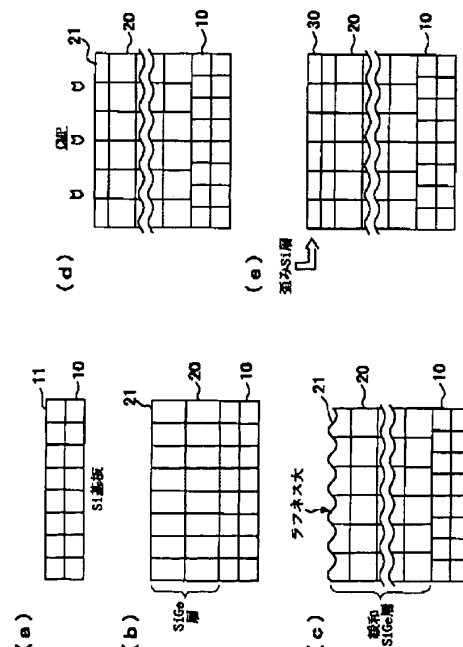
最終頁に続く

(54)【発明の名称】 半導体表面の研磨方法、半導体デバイスの製造方法および半導体デバイス

(57)【要約】

【課題】貫通転位を抑えつつ表面ラフネスを小さくすることができる半導体表面の研磨方法および半導体デバイスの製造方法および半導体デバイスを提供する。

【解決手段】Si基板10の表面11に、Si基板10と格子定数が異なるSiGe層20を成長させる。SiGe層20は、傾斜組成バッファ法により形成される。ついで、SiGe層20を十分厚くなるまで成長させて緩和させる。ついで、SiGe層20の表面21をCMP法により研磨する。このCMP研磨により、SiGe層20の表面21のラフネスを、RMS値において数nm程度まで低下させることができる。平坦化された表面21にSiを成長させることで、平坦度の高い歪みSi層30を得ることができる。この歪みSi層30は、貫通転位が少なくかつ表面ラフネスが小さいものとなる。



## 【特許請求の範囲】

【請求項1】 下記のステップを有することを特徴とする、半導体表面の研磨方法。

(a) 第1半導体の表面に、この第1半導体と格子定数が異なる第2半導体を成長させるステップ、(b) 前記第2半導体を緩和させるステップ、(c) 前記第2半導体の表面をCMP法により研磨するステップ。

【請求項2】 前記第1半導体はSiからなっていることを特徴とする請求項1記載の半導体表面の研磨方法。

【請求項3】 前記第2半導体はSiGeからなっていることを特徴とする請求項1または2記載の半導体表面の研磨方法。

【請求項4】 前記第2半導体は、傾斜組成バッファ層法により形成されていることを特徴とする請求項1〜3記載の半導体表面の研磨方法。

【請求項5】 前記ステップ(a)において、前記第2半導体は、前記第1半導体の表面に5000オングストローム以上積層されることを特徴とする請求項1〜4のいずれか1項に記載の半導体表面の研磨方法。

【請求項6】 請求項1〜5のいずれか1項における半導体表面の研磨方法により研磨された前記第2半導体の表面に、第3半導体を成長させることにより、半導体デバイスを製造することを特徴とする半導体デバイスの製造方法。

【請求項7】 第2半導体の表面に、歪みを有する第3半導体を積層してなる半導体デバイスであって、前記第2半導体の表面のラフネスは、 $RMS = 10\text{ nm}$ 以下であることを特徴とする半導体デバイス。

【請求項8】 前記第2半導体の表面のラフネスは、 $RMS = 1\text{ nm}$ 以下であることを特徴とする請求項7記載の半導体デバイス。

【請求項9】 前記第2半導体の厚さは、500オングストローム〜 $1\text{ }\mu\text{m}$ であることを特徴とする請求項7または8に記載の半導体デバイス。

【請求項10】 前記第2半導体の厚さは、1000オングストローム以上であることを特徴とする請求項9記載の半導体デバイス。

【請求項11】 前記第2半導体の厚さは、5000オングストローム以下であることを特徴とする請求項9または10記載の半導体デバイス。

【請求項12】 請求項1〜5のいずれか1項における半導体表面の研磨方法により研磨された第2半導体を用いて半導体デバイスを製造することを特徴とする半導体デバイスの製造方法。

【請求項13】 請求項6または請求項12記載の半導体デバイスの製造方法により製造された半導体デバイス。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体表面の研磨

方法、半導体デバイスの製造方法および半導体デバイスに関するものである。

## 【0002】

【発明の背景】 ULSIは、年々進む微細化技術によって、その高集積化、高速化が可能となり、今日の高度情報化社会の実現に貢献をしてきた。ULSIにおいては、シリコン(Si)基板上に作製されたSi-MOSFET(Metal Oxide Semiconductor Field Effect Transistor、MOS電界効果型トランジスタ)が多く用いられているため、Si-MOSFETの微細化に向けた研究が盛んに行われてきた。しかし、今後は、その微細化に限界が訪れることは必至であり、さらなる高速化に向けて、MOSFETの動作を担っている電子の移動度を高める研究が進みつつある。材料にGaAsを使ったMOSFETでは、すでにこのような試みがなされ、電子の高速移動が可能なMOSFETが実用化されている。しかしSiはGaやAsよりも地球上に豊富に存在し、安価であり、しかも、人体や環境に与える害がないという優れた特徴を持つ。そのため、Si基板上に高速なMOSFETを作製できれば、その有用性は大きい。

【0003】 そこで、Siにゲルマニウム(Ge)を混ぜた混晶であるSiGeを以下のように利用する方法が考え出された。Siよりも原子間距離(格子定数)が大きいSiGeの上にSiを堆積(成長)させると、面内(横)方向と成長(縦)方向で原子間距離の異なるSi層(歪みSi層)が作製され、その中の電子は移動度が上がることが分かっている。そこで、この歪みSi層をMOSFETのチャネル(電子の通り道)とする歪みSi-MOSFETの実現が期待されている。その他にも、歪みSiGeや歪みGeをチャネルとするMOSFETも高速動作が期待され、研究されている。

【0004】 これら歪みを導入した高速MOSFETをSi基板上に作製するためには、全てに共通して、「歪み緩和SiGeバッファ層」をSi基板上に成長させることが必要である。図7に歪みSiの作製法を模式的に示す。同図(a)に示される結晶Si基板1上にSiGeを徐々に堆積させると(同図b)、初めはSiと同じ格子定数で成長する。さらに成長させて、SiGe層2がある膜厚を超えると、SiGeの本来の格子定数に戻る(これを緩和という。図5c参照)。続いて、緩和したSiGe層(以下「歪み緩和SiGeバッファ層」または単に「バッファ層」ということがある。)2の上に、Siを成長させて堆積し、Si層3を形成する。このSi層3は、SiGeと同じ格子定数で成長するので、歪みSi層となる。この歪みSi層3を用いてMOSFETを作製すれば、歪みSi-MOSFETが完成する。この方法では、MOSFETを作製する工程自体は、単なるSi基板上のMOSFETの場合と何ら変わらないため、この作製が容易であるという利点がある。

【0005】 このように、歪みSi-MOSFETのような、チャネルに歪みを導入したSiGe系高速デバイスを実現するためには、良質な歪み緩和SiGe層バッファ層2が必要である。しかし、歪み緩和に伴い、バッファ層2の表

面はラフネス（凹凸）が増し、また、チャネルにまで延びる貫通転位が高密度に存在してしまうため、チャネルにおける電子の移動度は著しく低下してしまう。そこで、歪み緩和SiGeバッファ層の様々な作製法が試されている。もっとも一般的な方法は、SiGe層のGe濃度を徐々に上げていくという傾斜組成バッファ法である。しかしながら、貫通転位を抑えると表面ラフネスが大きくなり、表面を平坦にしようすると貫通転位密度が上がる、という傾向があり、表面ラフネスと貫通転位密度を共に低減させることのできるバッファ成長法はいまだに存在しない。他には、表面ラフネスを大幅に抑えることができる低温バッファ法があるが、これも貫通転位密度が大きいという問題がある。

【0006】

【発明が解決しようとする課題】本発明は、前記の事情に鑑みてなされたもので、その目的は、貫通転位を抑えつつ表面ラフネスを小さくすることができる半導体表面の研磨方法および半導体デバイスの製造方法および半導体デバイスを提供することである。

【0007】

【課題を解決するための手段】この課題に対応して、請求項1記載の半導体表面の研磨方法は、下記のステップを有するものとなっている。

(a) 第1半導体の表面に、この第1半導体と格子定数が異なる第2半導体を成長させるステップ、(b) 前記第2半導体を緩和させるステップ、(c) 前記第2半導体の表面をCMP法により研磨するステップ。

【0008】請求項2記載の半導体表面の研磨方法は、請求項1記載のものにおいて、第1半導体をSiからなるものとした。

【0009】請求項3記載の半導体表面の研磨方法は、請求項1または2記載のものにおいて、第2半導体をSiGeからなるものとした。

【0010】請求項4記載の半導体表面の研磨方法は、請求項1～3記載のものにおいて、第2半導体を、傾斜組成バッファ法により形成することとした。ここで、傾斜組成バッファ法とは、主成分に対する副成分の比率を徐々に変化上昇させて行く結晶成長法をいう。

【0011】請求項5記載の半導体表面の研磨方法は、請求項1～4のいずれか1項に記載のものであって、ステップ(a)において、前記第2半導体は、前記第1半導体の表面に5000オングストローム以上積層されているものである。

【0012】請求項6記載の半導体デバイスの製造方法は、請求項1～5のいずれか1項における半導体表面の研磨方法により研磨された前記第2半導体の表面に、第3半導体を成長させることにより、半導体デバイスを製造するものである。

【0013】請求項7記載の半導体デバイスは、第2半導体の表面に、歪みを有する第3半導体を積層してなる

半導体デバイスであって、前記第2半導体の表面のラフネスは、 $RMS=10\text{ nm}$ 以下であるものとなっている。

【0014】請求項8記載の半導体デバイスは、請求項7記載のものにおいて、前記第2半導体の表面のラフネスは、 $RMS=1\text{ nm}$ 以下であるものとなっている。

【0015】請求項9記載の半導体デバイスは、請求項7または8に記載のものにおいて、前記第2半導体の厚さは、500オングストローム～ $1\mu\text{m}$ であるものとなっている。

【0016】請求項10記載の半導体デバイスは、請求項9記載のものにおいて、前記第2半導体の厚さは、1000オングストローム以上であるものとなっている。

【0017】請求項11記載の半導体デバイスは、請求項9または10記載のものにおいて、前記第2半導体の厚さは、5000オングストローム以下であるものとなっている。

【0018】請求項12記載の半導体デバイスの製造方法は、請求項1～5のいずれか1項における半導体表面の研磨方法により研磨された第2半導体を用いて半導体デバイスを製造する構成となっている。

【0019】請求項13記載の半導体デバイスは、請求項6または請求項12記載の半導体デバイスの製造方法により製造された構成となっている。

【0020】

【作用】ラフネスの大きいバッファ層表面を、研磨によって平坦化する事ができれば、貫通転位密度、表面ラフネスと共に低い歪み緩和SiGeバッファ層を得ることができる。傾斜組成バッファ法によって作製した試料を、Chemical Mechanical Polishing (CMP) 技術によって研磨することで表面を平坦化できる。

【0021】

【発明の実施の形態】本発明の一実施形態に係る半導体表面の研磨方法、半導体デバイスの製造方法および半導体装置を以下に説明する。はじめに、研磨方法について図1に基づいて説明する。

【0022】まず、図1(a)に示されるSi基板（第1半導体）10の表面11に、このSi基板10と格子定数が異なる半導体であるSiGe層（第2半導体）20を成長させる（図1b）。この成長方法としては、CVD法やガスソースMBE法など任意のものを用いることができる。成長方法自体は従来と同様なので詳細の説明は省略する。ここで、本実施形態では、第1半導体の組成としてSiを用いたが、ほかに、例えばGeを用いることも可能である。また、ここで、SiGe層20は、傾斜組成バッファ法により形成されている。具体的には、開始Ge濃度を0%とし、一定の係数でGe濃度を増加させ、終端（上端）Ge濃度を目的濃度（例えばGe濃度30%）とするように制御して形成する。このような形成方法は、従来から公知なので、詳細の説明を省略する。

【0023】ついで、SiGe層20を十分厚くなるまで成長させ、SiGe層20を緩和させる。本実施形態では、SiGe層20の厚さは、5000オングストローム以上とすることが望ましい。これにより、SiGe層20は、本来の格子定数になる。すると、その表面21には、凹凸が生じ、ラフネスが大きくなる(図1c)。なお、図1に示す凹凸は、概念的に示されたものに過ぎず、その周期は、格子定数より大きいことが一般である。ここまでは基本的に従来技術と同様である。

【0024】ついで、SiGe層20の表面21をCMP法により研磨する(図1d)。研磨に用いるスラリーの組成としては、平均粒径30nm~80nm、例えば70nmのコロイダルシリカを、pH10.5~11、例えばpH11のアルカリ溶液に分散させたものを用いることができるが、これに限定されるものではない。研磨後におけるSiGe層20の厚さは、500オングストローム~1μm、好ましくは、さらに、1000オングストローム以上または5000オングストローム以下の範囲である。前記以外のCMP研磨方法は、従来と同様なので、詳細の説明を省略する。

【0025】このCMP研磨により、本実施形態の方法によれば、SiGe層20の表面21のラフネスを、ある程度の研磨時間(例えば10分程度)をかけることで、RMS値において10nm以下(後述する実験例では1nm以下)まで低下させることができる。ここでRMSは、測定値(表面の高さに相当)の標準偏差であり、(測定値-全測定値の平均)の2乗をすべての測定点について和をとり、測定点の数で割って、その値の平方根をとることで得ることができる。

【0026】このように平坦化された表面21にSiを成長させることで、平坦度の高い歪みSi層30を得ることができる。この歪みSi層30の成長方法自体も従来と同様である。従来技術では、SiGe層20の表面21を平坦化させようとすると、貫通転位密度が上昇し、貫通転位密度を下げようとすると表面21のラフネスが増えるという関係があるため、表面21のラフネスを十分下げることが困難であった。これに対して、本実施形態の方法によれば、貫通転位密度が低くなるようにSiGe層20を成長させ、結果として生じた表面21の凹凸を、CMP法によって、数原子層に相当するRMS値まで下げることができる。したがって、貫通転位密度が低く、かつ、十分に低いラフネスを有する表面21を得ることができるという利点がある。したがって、この表面21の上に積層されたSi層30は、高い平坦度を有することになる。

【0027】前記のように形成されたSi層30にゲート、ソースおよびドレインを作ること、MOS-FET(半導体装置)を作製することができる。この作製方法自体も従来と同様なので説明を省略する。このようにして構成されたMOS-FETによれば、チャネルとなるSi層30の

平坦度が高いために、キャリアの散乱が少なく、その移動度を高めることができるという利点がある。すると、GaAsを用いなくとも、Siによる高速半導体デバイスを得ることができ、コスト面でも、安全性の面でも、その利点は大きい。さらに、本実施形態の方法は、いずれも比較的簡単なステップにより実現できるので、実施が容易であるという利点もある。

【0028】なお、前記実施形態では、歪みSi層30を用いて半導体デバイスを作製することとしたが、緩和されたSiGe層20自体にチャネル、ゲート、ソースを作ること、半導体デバイスとすることも可能である。

【0029】

【実験例】(実験条件)前記した実施形態と同様の実験条件で実験を行った。さらに詳しい条件を以下に示す。

(1) SiGe層20の組成: 傾斜組成バッファ法により、開始Ge濃度が0%、終端(上端)Ge濃度が30%(残部Siおよび不可避不純物)となる組成

(2) スラリーの組成: 平均粒径70nmのコロイダルシリカを、pH11のアルカリ溶液に分散させた組成

(3) 研磨時間: 10分間

(4) 研磨膜厚(研磨厚さ): 100nm

【0030】以上の条件で研磨を行った。その結果を図2に示す。図中(a)は研磨前におけるSiGe層の表面を示し、図中(b)は研磨後における表面を示している。明らかに、平坦度が大幅に向上していることが判る。

【0031】なお、本発明者の実験結果によれば、研磨膜厚と表面ラフネスとの関係は、図3に示すようになった。この結果から、RMS=0.5nmという、非常に高い平坦度も実現可能であることが判る。

【0032】なお、CMP後の研磨表面は研磨剤が大量に付着しており、最適な洗浄が施されなければその上に良質なエピタキシャル膜が再成長できない。そこで、本発明者らは、界面活性剤を用いた洗浄によって付着パーティクルを完全に除去した。洗浄は、70℃のアンモニア: 過酸化水素: 水=1:1.5:70混合溶液に研磨表面を10分間浸し、その後、パーティクルの再付着を抑えるため、有機スルホン酸を0.1%加えた超純水でリンスし、さらに、超純水で10分間オーバーフローリンスを行った。次に、酸化膜除去のため、0.5%フッ酸に30分間浸した。なお酸化膜中または表面に残ったパーティクルの再付着を防ぐために、フッ酸にも有機スルホン酸を0.1%加えた。図4は、洗浄結果を示すもので、同図(a)は洗浄前、同図(b)は洗浄後の表面AFM像である。パーティクルが洗浄により完全に除去されているのが判る。

【0033】CMP後、このような洗浄を施し、更に金属汚染、有機物汚染を除去するために、硫酸過酸化水素水洗浄を行った後、SiGeを再度成長させた。それにより構成した量子井戸から、フォトルミネッセンスが観測された。したがって、研磨面の上に、良質なエピ膜を成長させることができた。また、再成長させたSiGe膜の表面も

RMS値1nm以下であることが確認された。つまり、今まで作製不可能であった、表面RMSラフネス値1nm以下という平坦度を持ったSiGe（上端においてGe30％）バッファ層を得ることに成功した。

【0034】さらに、研磨圧力と研磨速度について調べた結果、図5のような関係を得た。研磨速度は研磨圧力にはほぼ比例し、研磨剤の粒径が大きいほど、またSiGeのGe濃度が大きいほど速い事が分かった。適切な研磨圧力は、試料のGe濃度、研磨前のラフネス、研磨剤によって任意に変える必要があるが、100～800g/cm<sup>2</sup>が適切であると考えられる。

【0035】さらに、本発明者は、様々なサンプルを研磨し、サンプルによる到達平坦度の違いを調べた（図6）。その結果、到達平坦度はバッファ層の表面欠陥密度（セコエッチ後の表面ラフネスに比例すると考えられる）に大きく依存すると考えられる。つまり、RMSラフネス1nm以下の表面を得るためには、CMPの後に行われるセコエッチ後のラフネスが5nm以下となるようなバッファ層を作製すること望ましいと考えられる。さらに研磨剤のpHを調整することで、結晶欠陥密度に対応した最良の研磨が実現できると予想される。

【0036】なお、前記実施形態および実施例の記載は単なる一例に過ぎず、本発明に必須の構成を示したものでない。各部の構成は、本発明の趣旨を達成できるものであれば、上記に限らない。

【0037】

【発明の効果】本発明によれば、貫通転位を抑えつつ表面ラフネスを小さくすることができる半導体表面の研磨方法、半導体デバイスの製造方法、および半導体デバイスを提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体デバイスの製造工程を説明するための説明図である。

【図2】本発明の一実施例に係る半導体表面の研磨方法の実験結果を示す写真である。

【図3】本発明の一実施例に係る半導体表面の研磨方法の実験結果を示すグラフである。

【図4】本発明の一実施例に係る半導体表面の研磨方法の実験結果を示す写真である。

【図5】本発明の一実施例における研磨速度と研磨圧力との関係を示すグラフである。

【図6】本発明の一実施例の実験結果を説明するためのグラフである。

【図7】従来の半導体デバイス製造工程の要部を模式的に説明するための説明図である。

【符号の説明】

10 Si基板（第1半導体）

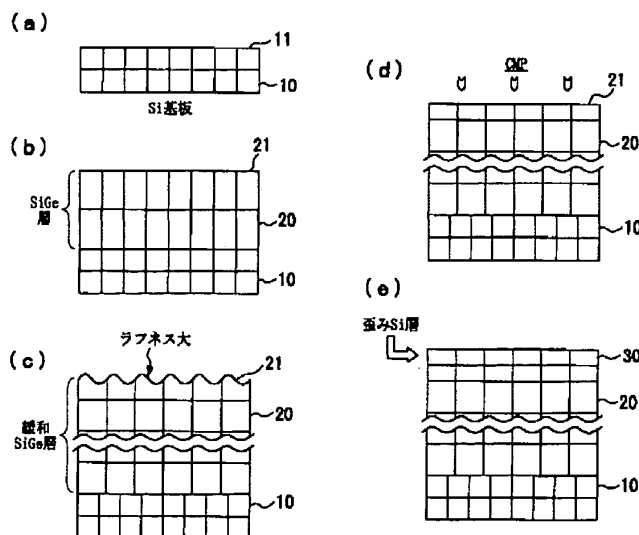
11 Si基板の表面

20 SiGe層（第2半導体）

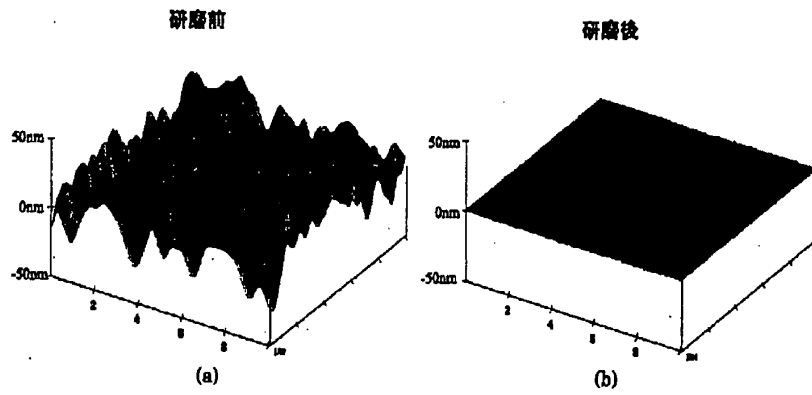
21 SiGe層の表面

30 歪みSi層（第3半導体）

【図1】

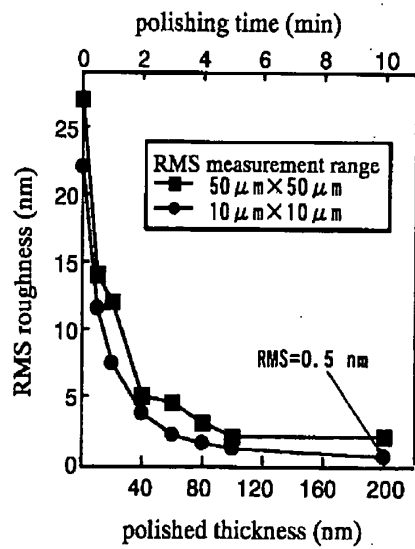


【図2】



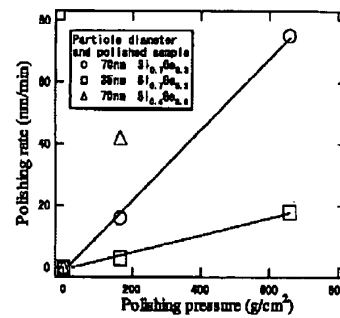
研磨前後の歪み緩和SiGeバッファ層表面のAFM像

【図3】



研磨膜厚(研磨時間)によるRMSラフネスの変化

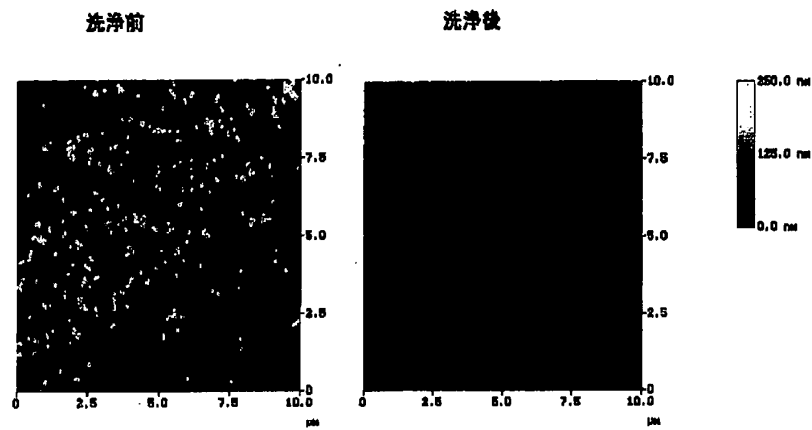
【図5】



研磨速度と研磨圧力の関係

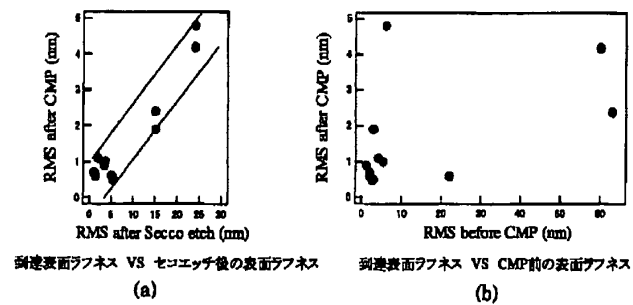


【図4】

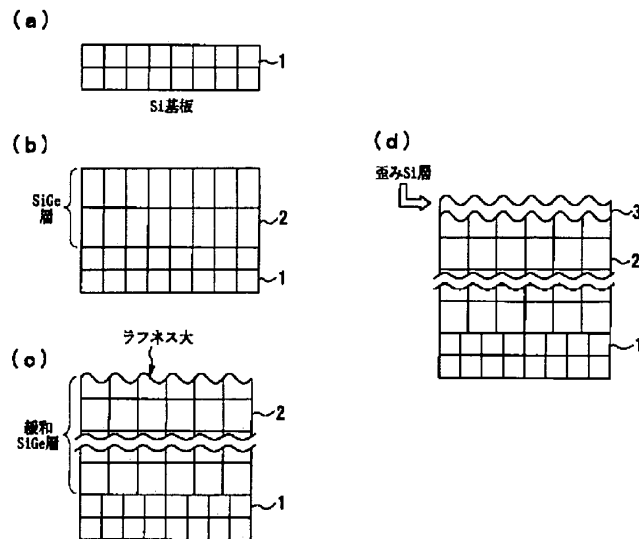


洗浄前後の表面AFM像

【図6】



【図7】



フロントページの続き

(71)出願人 501122366  
 中川 清和  
 山梨県甲府市宮前町7 山梨大学工学部付  
 属無機合成研究施設内  
 (72)発明者 澤野 憲太郎  
 東京都目黒区駒場4-6-1 東京大学先  
 端科学技術研究センター フォトニクス材  
 料分野 白木靖寛研究室内

(72)発明者 白木 靖寛  
 東京都目黒区駒場4-6-1 東京大学先  
 端科学技術研究センター フォトニクス材  
 料分野 白木靖寛研究室内  
 (72)発明者 中川 清和  
 山梨県甲府市宮前町7 山梨大学工学部付  
 属無機合成研究施設内  
 Fターム(参考) 5F045 AB01 AB02 AF03 BB12 CA06  
 DA53 DA58 GH06